

BEST AVAILABLE COPY

Express Mail No: EV529823611US

MOD. 102
L.C.A. - 101

Mod. C.E. - 1-4-7



Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

N.

MI2003 A 000154



Invenzione Industriale

*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Inoltre Istanza di Rettifica depositata alla Camera di Commercio di Milano n. MIV000358 il 11/02/2003
(pag. 1).

08 GEN. 2004

IL DIRIGENTE
Paola Giuliano
D^{ssa} Paola Giuliano

CERTIFIED COPY OF
PRIORITY DOCUMENT

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA
DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

H. GORTONESE

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2003A 000154 REG. A

DATA DI DEPOSITO 30/01/2003

NUMERO BREVETTO

DATA DI RILASCIO

/ /

D. TITOLO

"Interruttore comandato del tipo a capacità commutate"

L. RIASSUNTO

La presente invenzione si riferisce ad un interruttore comandato del tipo a capacità commutate.

In una sua forma di realizzazione l'interruttore comandato comprende un circuito di comando di detto interruttore, in una prima fase detto circuito di comando chiude detto interruttore comandato, in una seconda fase detto circuito di comando apre detto interruttore comandato, detto interruttore comandato comprende un transistor MOS (M1) avente un source (S) ed un substrato (B), caratterizzato dal fatto che in detta prima fase detto substrato (B) è accoppiato a massa e che in detta seconda fase detto substrato (B) è accoppiato a detto source (S). (Fig. 2).

M. DISEGNO

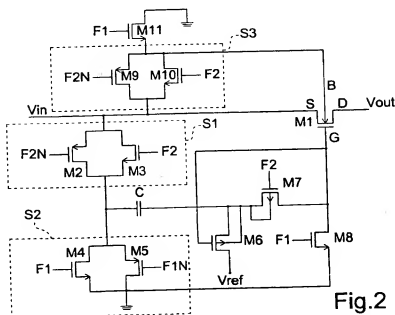


Fig.2



DESCRIZIONE

dell'invenzione industriale avente per titolo:

"Interruttore comandato del tipo a capacità commutate"

a nome: STMicroelectronics s.r.l.

MI 2003 A n 00154

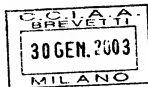
La presente invenzione si riferisce ad un interruttore comandato del tipo a capacità commutate.

Quando la distorsione di un sistema a capacità commutate è un parametro di progetto importante, è necessario migliorare la linearità degli interruttori, specialmente quando la frequenza del segnale è vicina alla frequenza di campionamento ed a maggior ragione quando la frequenza di campionamento è vicina al limite della tecnologia disponibile.

Ad esempio, se si considera un convertitore analogico digitale del tipo Sigma Delta con una frequenza di lavoro di 10,7 MHz ed una frequenza di campionamento di 37,05 MHz, sono richiesti 70 dB di distorsione di intermodulazione (IMD) per due segnali di ampiezza pari a -11 dB (0 dB equivalgono a 4 Vpp differenziali) e di frequenza rispettivamente pari a 10,6 MHz e 10,8 MHz. In questo caso tutti gli interruttori, a capacità commutate, connessi agli ingressi e a tutti i segnali che devono avere una elevata escursione (per esempio all'uscita degli amplificatori operazionali) devono essere progettati accuratamente al fine di ottenere le prestazioni desiderate.

Fino ad ora sono state utilizzate tre strategie per migliorare la linearità degli interruttori.

L'uso di transistori MOS complementari, ossia di un transistor NMOS in



parallelo con un transistor PMOS, aventi un appropriato rapporto dimensionale tra i due per via della diversa mobilità dei due tipi. In questo modo si ottiene una caratteristica della corrente I in relazione alla tensione V più simmetrica e lineare rispetto ad un solo transistor, però non ancora sufficiente per le prestazioni desiderate.

L'inserzione di una resistenza in serie all'interruttore da buoni risultati se la resistenza è trascurabile rispetto alla resistenza totale con un rapporto di almeno 10 volte. Per avere una resistenza totale di circa 50 ohm, la resistenza aggiunta deve essere minore di 5 ohm, e così le dimensioni dell'intero interruttore diventano enormi e non praticabili.

L'uso di interruttori comandati del tipo boosted, hanno la particolarità che la tensione tra gate e source rimane costante indipendentemente all'ingresso così che la caratteristica I verso V è ad un primo ordine costante. Un effetto del secondo ordine di questa struttura è la modulazione della resistenza dovuta alla tensione tra il substrato ed il source che varia con il segnale applicato.

In vista dello stato della tecnica descritto, scopo della presente invenzione è quello di provvedere ad interruttori comandati che presentano una modulazione della resistenza ridotta rispetto all'arte nota.

In accordo con la presente invenzione, tale scopo viene raggiunto mediante un interruttore comandato comprendente un circuito di comando di detto interruttore, in una prima fase detto circuito di comando chiude detto interruttore comandato, in una seconda fase detto circuito di comando apre detto interruttore comandato, detto interruttore comandato comprende un transistor MOS avente un source ed un substrato, caratterizzato dal fatto che in detta prima fase detto substrato è accoppiato a massa e che in detta seconda

fase detto substrato è accoppiato a detto source.

Le caratteristiche ed i vantaggi della presente invenzione risulteranno evidenti dalla seguente descrizione dettagliata di una sua forma di realizzazione pratica, illustrata a titolo di esempio non limitativo negli uniti disegni, nei quali:

la figura 1 mostra un circuito schematico di un interruttore comandato a capacità commutate;

la figura 2 mostra un circuito schematico di un interruttore comandato a capacità commutate migliorato.

Riferendosi alla figura 1, la tensione di ingresso V_{in} è applicata al source S di un transistor NMOS M1, ed il drain D del transistor M1 fornisce la tensione di uscita V_{out} . Il substrato B del transistor M1 è connesso a massa. La tensione di ingresso V_{in} è anche applicata ad un interruttore S1 comprendente una coppia di transistori complementari connessi in parallelo e cioè un transistor NMOS M3 ed un transistor PMOS M2. Il drain di M3 è connesso a V_{in} e al source di M2. Il source di M3 è connesso al drain di M2, ad un terminale di un condensatore C e ad un interruttore S2 comprendente una coppia di transistori complementari connessi in parallelo e cioè un transistor NMOS M4 ed un transistor PMOS M5. Il drain di M4 è connesso al source di M5. Il drain di M5 è connesso al source di M4 e a massa. Il gate di M2 riceve in ingresso il segnale di comando $F2N$, il gate di M3 riceve in ingresso il segnale di comando $F2$, il gate di M4 riceve in ingresso il segnale di comando $F1$, il gate di M5 riceve in ingresso il segnale di comando $F1N$.

L'altro terminale del condensatore C è connesso al substrato ed al source di un transistor PMOS M6, ed al substrato ed al source di un transistor

PMOS M7. Il drain del transistor M6 è connesso ad una tensione di riferimento V_{ref} . Il gate del transistor M6 ed il drain del transistor M7 sono connessi al gate G del transistor M1 ed al drain di un transistor NMOS M8, il cui source è connesso a massa. Il gate di M7 riceve in ingresso il segnale di comando F2, il gate di M8 riceve in ingresso il segnale di comando F1.

I transistori sono comandati da un segnale a onda quadra F1 con il suo segnale negato $F1N$, e da un segnale a onda quadra F2 con il suo segnale negato $F2N$. Il segnale F1 ed il segnale F2 sono sfasati di 180° ed in più hanno un ritardo tra le due onde quadre in modo da evitare accensioni di un transistor quando non sono ancora spenti quelli comandati dall'altro segnale.

Durante la fase 1, ossia quando è attivo il segnale F1, si hanno gli interruttori M1, S1 ed M7 spenti (interruttori aperti), e gli interruttori S2, M6 e M8 accesi (interruttori chiusi), quindi il condensatore C si carica alla tensione V_{ref} .

Durante la fase 2, ossia quando è attivo il segnale F2, si hanno gli interruttori S2, M6 e M8 spenti (interruttori aperti), e gli interruttori M1, S1 ed M7 accesi (interruttori chiusi), quindi il gate G del transistor M1 è alimentato ad una tensione pari a V_{in} più la tensione V_{ref} . In questo modo la tensione gate source V_{gs} è sempre V_{ref} senza alcuna influenza della tensione di ingresso V_{in} . Il substrato del transistor M1 è connesso a massa per evitare che alcuni diodi siano polarizzati direttamente.

Si può però notare che la resistenza R_{on} del transistor M1 rispetto alla tensione di ingresso varia. Nel caso di un transistor M1 avente $W = 30 \mu m$ e $L = 0,36 \mu m$, la resistenza è di circa 82,8 ohm quando la tensione substrato source V_{bs} è uguale a zero e di circa 111 ohm quando la tensione V_{bs} è



uguale a 3,3V.

Una variazione del 30 % non può essere compatibile con alcune esigenze di progetto.

In figura 2 è mostrato un circuito schematico di un interruttore comandato migliorato.

In esso il substrato B del transistor M1 non è connesso a massa ma è connesso ad un interruttore S3 comprendente una coppia di transistori complementari connessi in parallelo e cioè un transistor NMOS M10 ed un transistor PMOS M9. Il drain di M10 è connesso al substrato B di M1, al source di M9 e al source di un transistor NMOS M11. Il source di M10 è connesso al drain di M9, e al source S di M1. Il drain di M11 è connesso a massa.

Il gate di M9 riceve in ingresso il segnale di comando F2N, il gate di M10 riceve in ingresso il segnale di comando F2, il gate di M11 riceve in ingresso il segnale di comando F1.

Durante la fase 2, l'interruttore S3 è acceso (chiuso) e l'interruttore M11 è spento (aperto), quindi il substrato B del transistor M1 è connesso alla tensione di ingresso Vin (e al suo source S), in questo modo la resistenza Ron non è influenzata dalla modulazione del substrato B.

Durante la fase 1, l'interruttore M11 è acceso (chiuso) e l'interruttore S3 è spento (aperto), quindi il substrato B del transistor M1 è connesso a massa. In questo modo la polarizzazione diretta dei diodi tra drain e substrato e tra source e substrato è evitata quando il transistor M1 è spento.

Preferibilmente, il sistema migliora ulteriormente (si riduce il cosiddetto clockfeedthrough) usando un sistema a otto fasi.

RIVENDICAZIONI

1. Interruttore comandato comprendente un circuito di comando di detto interruttore, in una prima fase detto circuito di comando chiude detto interruttore comandato, in una seconda fase detto circuito di comando apre detto interruttore comandato, detto interruttore comandato comprende un transistor MOS (M1) avente un source (S) ed un substrato (B), caratterizzato dal fatto che in detta prima fase detto substrato (B) è accoppiato a massa e che in detta seconda fase detto substrato (B) è accoppiato a detto source (S).

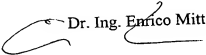
2. Interruttore comandato in accordo alla rivendicazione 1 caratterizzato dal fatto che in detta prima fase è presente un primo segnale di comando (F1) e che in detta seconda fase è presente un secondo segnale di comando (F2).

3. Interruttore comandato in accordo alla rivendicazione 2 caratterizzato dal fatto che in detta prima fase detto substrato (B) è accoppiato a massa mediante un terzo interruttore (M11) comandato da detto primo segnale di comando (F1).

4. Interruttore comandato in accordo alla rivendicazione 2 caratterizzato dal fatto che in detta seconda fase detto substrato (B) è accoppiato a detto source (S) mediante un secondo interruttore (S3) comandato da detto secondo segnale di comando (F2).

5. Interruttore comandato in accordo alla rivendicazione 2 caratterizzato dal fatto che detto transistor MOS (M1) ha il source (S) connesso ad una tensione di ingresso (V_{in}) ed il drain (D) ad una tensione di uscita (V_{out}), detto circuito di comando comprende un terzo interruttore (S1) comandato da detto secondo segnale di comando (F2), applicato tra detta

tensione di ingresso (Vin) ed un terminale di un condensatore (C), un quarto interruttore (S2) comandato da detto primo segnale di comando (F1), applicato tra detto terminale di un condensatore (C) e massa, un quinto interruttore (M6) comandato dal segnale presente sul gate (G) di detto transistor MOS (M1), applicato tra l'altro terminale di detto condensatore (C) ed una tensione di riferimento prefissata (Vref), un sesto interruttore (M7) comandato da detto secondo segnale di comando (F2), applicato tra l'altro terminale di detto condensatore (C) ed il gate (G) di detto transistor MOS (M1), un settimo interruttore (M8) comandato da detto primo segnale di comando (F1), applicato tra il gate (G) di detto transistor MOS (M1) e massa.

 Dr. Ing. Enrico Mittler



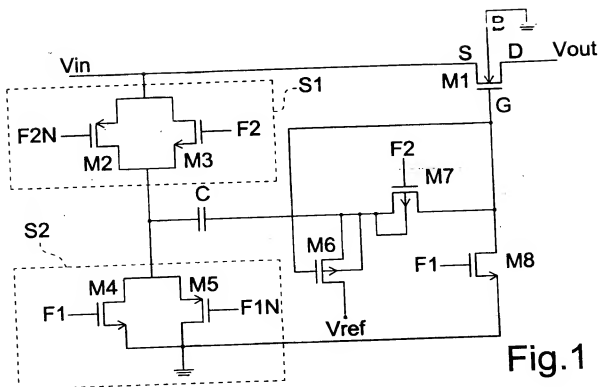


Fig.1

MI 2003 A 0 0 0 1 5 4

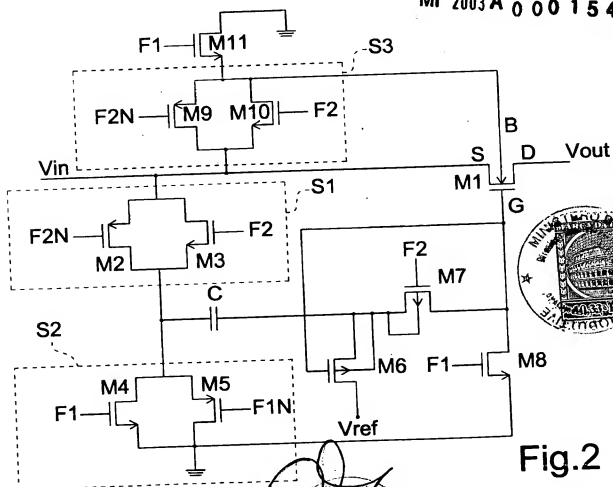
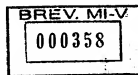


Fig.2



MINISTERO DELLE ATTIVITA' PRODUTTIVE

Ufficio Italiano Brevetti e Marchi - Roma




Oggetto: Domanda di brevetto per invenzione industriale No. MI2003A
000154 del 30 Gennaio 2003 a nome STMicroelectronics s.r.l.

ISTANZA DI RETTIFICA

Con riferimento alla domanda di brevetto in oggetto, vogliate notare che il titolo della domanda di brevetto riportato sul verbale di deposito e nel Prospetto A alla voce "titolo" è stato erroneamente indicato come "Interruttore comandato del tipo a capacità commutale", in luogo del corretto titolo "Interruttore comandato del tipo a capacità *commutate*". Trattasi di mero errore di battitura.

In fede.

p.p. STMicroelectronics s.r.l.


Dr. Ing. Enrico Mitter

Milano, 11 Febbraio 2003

